

**Title:** **JP10200050A2: SEMICONDUCTOR INTEGRATED DEVICE**

**Derwent Title:** Semiconductor integrated circuit device - includes switch whose circuit component is equivalent to that provided in multiple switching elements being arranged in parallel [\[Derwent Record\]](#)

**Country:** JP Japan

**Kind:** A

**Inventor:** ASAI MIKIO;  
HIYOUZOU MASAHIKO;  
TAKAGI RYOICHI;

**Assignee:** MITSUBISHI ELECTRIC CORP  
[News, Profiles, Stocks and More about this company](#)

**Published / Filed:** 1998-07-31 / 1997-01-06

**Application Number:** JP1997000000321

**IPC Code:** [H01L 27/04](#); [H01L 21/822](#);

**Priority Number:** 1997-01-06 [JP1997000097321](#)


**Abstract:** PROBLEM TO BE SOLVED: To cut off a stand-by current flowing in a circuit block which is not used and to reduce power consumption, by breaking a connection part of a first and a second power source trunk lines by a break command, and constituting a circuit of a power source breaking means equivalently to a circuit wherein a plurality of switch elements are arranged in parallel.

SOLUTION: A switch 14 is opened by a break command from a circuit block 4 and cuts off a connection part of a power source trunk line 11 and a power source trunk line 12. Thereby, a power source of a circuit block 5 supplied from a device power source 2 is cut off when the circuit block 5 is not used, the stand-by current can be cut off, and power consumption can be reduced. Since a circuit constitution of the switch 14 is made equivalent to a circuit wherein a plurality of gates are arranged in parallel, resistance component at the time of closing the switch 14 can be reduced. Hence, the power consumed in the switch 14 at the time of using the circuit block 5 can be reduced, even if the switch 14 is inserted in the connection part of the power source trunk line 11 and the power source trunk line 12.

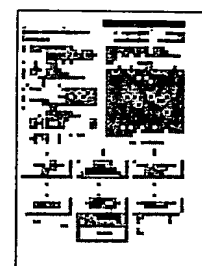
COPYRIGHT: (C)1998,JPO

**INPADOC Legal Status:** None [Get Now: Family Legal Status Report](#)

**Family:**

PDF	Publication	Pub. Date	Filed	Title
	<a href="#">US5844263</a>	1998-12-01	1997-04-28	Semiconductor integrated device having independent circuit blocks and a power breaking means for selectively supplying power to the circuit blocks
<input checked="" type="checkbox"/>	<a href="#">JP10200050A2</a>	1998-07-31	1997-01-06	SEMICONDUCTOR INTEGRATED DEVICE
2 family members shown above				

**Other Abstract Info:** None



[View Image](#)

1 page

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-200050

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

H01L 27/04

H01L 21/822

(21)Application number : 09-000321

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.01.1997

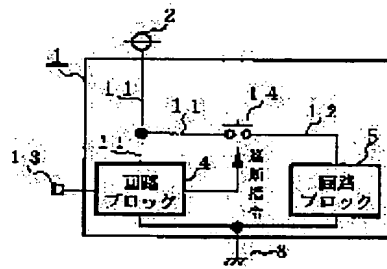
(72)Inventor : ASAI MIKIO  
HIYOUZOU MASAHIKO  
TAKAGI RYOICHI

## (54) SEMICONDUCTOR INTEGRATED DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To cut off a stand-by current flowing in a circuit block which is not used and to reduce power consumption, by breaking a connection part of a first and a second power source trunk lines by a break command, and constituting a circuit of a power source breaking means equivalently to a circuit wherein a plurality of switch elements are arranged in parallel.

SOLUTION: A switch 14 is opened by a break command from a circuit block 4 and cuts off a connection part of a power source trunk line 11 and a power source trunk line 12. Thereby, a power source of a circuit block 5 supplied from a device power source 2 is cut off when the circuit block 5 is not used, the stand-by current can be cut off, and power consumption can be reduced. Since a circuit constitution of the switch 14 is made equivalent to a circuit wherein a plurality of gates are arranged in parallel, resistance component at the time of closing the switch 14 can be reduced. Hence, the power consumed in the switch 14 at the time of using the circuit block 5 can be reduced, even if the switch 14 is inserted in the connection part of the power source trunk line 11 and the power source trunk line 12.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-200050

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 27/04  
21/822

識別記号

F I

H 0 1 L 27/04

V

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平9-321

(22) 出願日 平成9年(1997) 1月6日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 浅井 幹生

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72) 発明者 兵三 正彦

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72) 発明者 高木 亮一

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

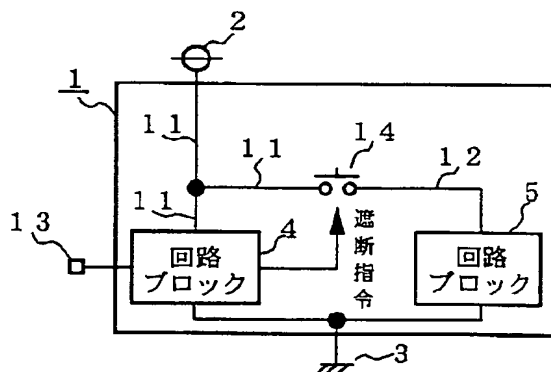
(74) 代理人 弁理士 田澤 博昭 (外1名)

(54) 【発明の名称】 半導体集積装置

(57) 【要約】

【課題】 回路ブロック5の未使用時でも、デバイス電源2から回路ブロック5に電源が供給されているため、回路ブロック5にはスタンバイ電流が流れ、無駄な電力を消費してしまう課題があった。

【解決手段】 回路ブロック4から遮断指令が出力されるとスイッチ14を開路して、電源幹線11と電源幹線12の接続部分を遮断するとともに、スイッチ14の回路構成を、複数のスイッチング素子を並列配置したものと等価構成としたものである。



2 : デバイス電源

1 1 : 電源幹線 (第1の電源幹線)

1 2 : 電源幹線 (第2の電源幹線)

1 4 : スイッチ (電源遮断手段)

## 【特許請求の範囲】

【請求項1】 互いに独立して動作する2つの回路ブロックと、デバイス電源と接続され、一方の回路ブロックに電源を供給する第1の電源幹線と、上記第1の電源幹線と接続され、他方の回路ブロックに電源を供給する第2の電源幹線とを備えた半導体集積装置において、上記第1の電源幹線と第2の電源幹線との接続部分に挿入され、遮断指令が出力されると当該接続部分を遮断する電源遮断手段を設けるとともに、上記電源遮断手段の回路構成を複数のスイッチング素子を並列配置したものと等価構成にしたことを特徴とする半導体集積装置。

【請求項2】 互いに独立して動作する複数の回路ブロックと、デバイス電源と接続され、上記複数の回路ブロックにそれぞれ電源を供給する複数の電源幹線とを備えた半導体集積装置において、遮断指令を出力する制御手段と、上記複数の電源幹線にそれぞれ挿入され、上記制御手段から遮断指令が出力されると当該電源幹線を遮断する電源遮断手段とを設けるとともに、上記電源遮断手段の回路構成を複数のスイッチング素子を並列配置したものと等価構成にしたことを特徴とする半導体集積装置。

【請求項3】 電源遮断手段は、一次側の電源幹線の端部と二次側の電源幹線の端部をドープされた基板上に配置するとともに、双方の端部を互いに電気的に非接続の状態と歯合せ、各端部の上部に遮断指令を入力する電極を配置したことを特徴とする請求項1または請求項2記載の半導体集積装置。

【請求項4】 電源遮断に係る回路ブロックと並列に抵抗及びコンデンサを設けたことを特徴とする請求項1から請求項3のうちのいずれか1項記載の半導体集積装置。

【請求項5】 電源遮断に係る回路ブロックと接続された電源幹線にパッドを設けたことを特徴とする請求項1から請求項4のうちのいずれか1項記載の半導体集積装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、互いに独立して動作する複数の回路ブロックから構成された半導体集積装置に関するものである。

【0002】

【従来の技術】図11は従来の半導体集積装置を示す回路図であり、図において、1は半導体集積装置、2はデバイス電源、3はグラウンド、4、5は互いに独立して動作する回路ブロック、6は回路ブロック4、5にそれぞれ電源を供給する電源幹線である。

【0003】次に動作について説明する。まず、デバイス電源2が単一の半導体集積装置1では、図11に示すように、一般的には、電源幹線6が共通化されている。従って、半導体集積装置1の使用方法によって回路ブ

ック4、5の何れか一方を使用しない場合があるが、使用しない回路ブロックにも電源が供給され、消費電力が大きくなる不具合があった。

【0004】そこで、従来の半導体集積装置1は、例えば、回路ブロック5が回路ブロック4から供給されるクロックにしたがって動作するものであって、回路ブロック5を使用しない場合があるときは、回路ブロック4から回路ブロック5に供給するクロックの停止またはクロックの周波数を低くすることにより、回路ブロック5の消費電力を低減する。なお、本願発明のその他の先行技術を示すものとして特開昭61-190958号公報がある。

【0005】

【発明が解決しようとする課題】従来の半導体集積装置は以上のように構成されているので、使用しない回路ブロック5の消費電力を低減することができるが、依然としてデバイス電源2から回路ブロック5に電源が供給されているため、回路ブロック5にはスタンバイ電流が流れ、無駄な電力を消費してしまう課題があった。

【0006】この発明は上記のような課題を解決するためになされたもので、使用しない回路ブロックに流れるスタンバイ電流を遮断し、消費電力の低減化を図ることができる半導体集積装置を得ることを目的とする。

【0007】

【課題を解決するための手段】請求項1記載の発明に係る半導体集積装置は、遮断指令が出力されると第1の電源幹線と第2の電源幹線との接続部分を遮断する電源遮断手段を設けるとともに、その電源遮断手段の回路構成を複数のスイッチング素子を並列配置したものと等価構成にしたものである。

【0008】請求項2記載の発明に係る半導体集積装置は、制御手段から遮断指令が出力されると電源幹線を遮断する電源遮断手段を設けるとともに、その電源遮断手段の回路構成を複数のスイッチング素子を並列配置したものと等価構成にしたものである。

【0009】請求項3記載の発明に係る半導体集積装置は、一次側の電源幹線の端部と二次側の電源幹線の端部をドープされた基板上に配置するとともに、双方の端部を互いに電気的に非接続の状態と歯合せ、各端部の上部に遮断指令を入力する電極を配置したものである。

【0010】請求項4記載の発明に係る半導体集積装置は、電源遮断に係る回路ブロックと並列に抵抗及びコンデンサを設けたものである。

【0011】請求項5記載の発明に係る半導体集積装置は、電源遮断に係る回路ブロックと接続された電源幹線にパッドを設けたものである。

【0012】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による半

導体集積装置を示す回路図であり、図において、1は半導体集積装置、2はデバイス電源、3はグランド、4、5は互いに独立して動作する回路ブロック、11はデバイス電源2に接続され、回路ブロック4に電源を供給する電源幹線（第1の電源幹線）、12は電源幹線11に接続され、回路ブロック5に電源を供給する電源幹線（第2の電源幹線）、13は遮断指令を入力する外部入力端子、14は外部入力端子13に遮断指令が入力され、回路ブロック4から遮断指令が出力されると、電源幹線11と電源幹線12の接続部分を遮断するスイッチ（電源遮断手段）である。

【0013】次に動作について説明する。まず、回路ブロック4、5の双方を使用する場合には、スイッチ14は閉路され、デバイス電源2から回路ブロック4、5の双方に電源が供給される。一方、回路ブロック5を使用しない場合には、外部入力端子13から遮断指令を入力し、回路ブロック4から遮断指令を出力させる。そして、スイッチ14は、回路ブロック4から遮断指令が出力されると開路し、電源幹線11と電源幹線12の接続部分を遮断する。

【0014】これにより、回路ブロック5はデバイス電源2からの電源供給が遮断され、動作を停止する。また、この場合、電源供給が遮断されているので、回路ブロック5にスタンバイ電流が流れることはない。

【0015】ここで、図2はスイッチ14の構造を説明する平面図であり、図において、11aはスイッチ14に対して一次側の電源幹線である電源幹線11の端部、12aはスイッチ14に対して二次側の電源幹線である電源幹線12の端部、A1～A4は端部12aの歯合部B1～B4と互いに電氣的に非接続の状態歯合された端部11aの歯合部、15は端部11a、12aの上部に設けられた電極である。また、図3はスイッチ14の構造を説明する図2のA-A断面図であり、図において、16は半導体集積装置のシリコン基板、16aはイオン等が注入されてドーピングされたシリコン基板のドーピング部である。

【0016】このように、スイッチ14の構造は図2及び図3に示す通りであるが、スイッチ14の構造を図2及び図3のように構成した場合には、スイッチ14の回路構成は、複数のゲート（スイッチング素子）を並列配置したものと同価構成となる（図4参照）。従って、スイッチ14の開路時の抵抗分を低減できるので、電源幹線11と電源幹線12の接続部分にスイッチ14を挿入しても、回路ブロック5の使用時において、スイッチ14で消費される無駄な電力を無視できる程度にまで低減できる効果を奏する。因みに、スイッチ14として通常のトランジスタ等を用いた場合、開路時の抵抗分が大きいので、回路ブロック5の使用時には、スイッチ14で無駄な電力を消費することになる。

【0017】なお、スイッチ14を開路する場合には、

外部入力端子13に遮断指令を入力せずに、電極15に正の電位（3～5Vの電位）を与えると閉路し、デバイス電源2から電源幹線11及びドーピング部16aを通じて電源幹線12に電源が供給される。一方、スイッチ14を開路する場合には、外部入力端子13に遮断指令を入力し、電極15にグランド電位を与えると開路し、電源幹線11と電源幹線12は遮断される。

【0018】以上で明らかのように、この実施の形態1によれば、回路ブロック4から遮断指令が出力されるとスイッチ14を開路して、電源幹線11と電源幹線12の接続部分を遮断するようにしたので、回路ブロック5を使用しない場合には、デバイス電源2から供給される回路ブロック5の電源が遮断されるようになり、その結果、回路ブロック5の未使用時にスタンバイ電流が流れるのを遮断でき、消費電力の低減化を図ることができる効果を奏する。また、スイッチ14の回路構成が、ゲートを複数個並列配置したものと等価となるようにしたので、スイッチ14の開路時の抵抗分を低減でき、そのため、電源幹線11と電源幹線12の接続部分にスイッチ14を挿入しても、回路ブロック5の使用時において、スイッチ14で消費される無駄な電力を無視できる程度にまで低減できる効果を奏する。

【0019】なお、上記実施の形態1では、外部入力端子13を1つ設けたものについて示したが、外部入力端子13を複数個設け、回路ブロック4が各外部入力端子13の電位等の組み合わせに基づいて遮断指令を出力するようにしてもよい。

【0020】実施の形態2。上記実施の形態1では、遮断指令を回路ブロック4を介してスイッチ14に出力するものについて示したが、図5に示すように、回路ブロック4を介さずに、直接スイッチ14に出力するようにしてもよく、上記実施の形態1と同様の効果を奏する。

【0021】実施の形態3。図6はこの発明の実施の形態3による半導体集積装置を示す回路図であり、図において、図1のものと同一符号は同一または相当部分を示すので説明を省略する。21はデバイス電源2と接続された電源幹線、22は電源幹線21と接続され、回路ブロック4に電源を供給する電源幹線、23は電源幹線21と接続され、回路ブロック5に電源を供給する電源幹線、24は必要に応じてスイッチ25又はスイッチ26に遮断指令を出力するセレクタ（制御手段）、25はセレクタ24から遮断指令が出力されると、電源幹線22を遮断するスイッチ（電源遮断手段）であり、図1のスイッチ14と同じ構造のスイッチである。26はセレクタ24から遮断指令が出力されると、電源幹線23を遮断するスイッチ（電源遮断手段）であり、図1のスイッチ14と同じ構造のスイッチである。

【0022】次に動作について説明する。上記実施の形態1では、回路ブロック4がスイッチ14に遮断指令を出力するものについて示したが、この場合には回路プロ

ック4が動作していることが前提となるので、回路ブロック4を停止して、回路ブロック5のみを使用することはできない。

【0023】そこで、この実施の形態3では、電源幹線22、23のそれぞれにスイッチ25、26を挿入し、必要に応じてセレクト4からスイッチ25又はスイッチ26に遮断指令を出力するようにしたものである。これにより、半導体集積装置1の使用態様に応じて、適宜、回路ブロック4又は回路ブロック5を停止することができるようになり、その結果、消費電力の低減化を図ることができる効果を奏する。なお、上記実施の形態3では、半導体集積装置1が2つの回路ブロックから構成されたものについて示したが、3つ以上の回路ブロックから構成されていてもよく、上記実施の形態3と同様の効果を奏することができる。

【0024】実施の形態4。図7はこの発明の実施の形態4による半導体集積装置を示す回路図であり、図において、図1のものと同一符号は同一または相当部分を示すので説明を省略する。31は回路ブロック5と並列に接続された抵抗、32は回路ブロック5と並列に接続されたコンデンサである。

【0025】次に動作について説明する。抵抗31及びコンデンサ32を設けた点以外は、上記実施の形態1と同様であるので、主に抵抗31及びコンデンサ32の作用について説明する。

【0026】スイッチ14を開路するとデバイス電源2から回路ブロック5に供給される電源が遮断される点は、上記実施の形態1と同様であるが、図7に示すように、回路ブロック5と並列に抵抗31及びコンデンサ32を設けるとともに、抵抗31及びコンデンサ32の組み合わせによる時定数を適宜調整すれば、スイッチ14を開路する際に、電源幹線12の電位がグランド電位に落ちるまでの速度を適宜制御することができる効果を奏する。

【0027】実施の形態5。上記実施の形態4では、回路ブロック5と並列に抵抗31及びコンデンサ32を設けたものについて示したが、回路ブロック4に接続された電源幹線22を遮断できる場合には、図8に示すように、回路ブロック5に限らず、回路ブロック4と並列に抵抗31及びコンデンサ32を設けるようにしてもよく、上記実施の形態4と同様の効果を奏することができる。

【0028】実施の形態6。図9はこの発明の実施の形態6による半導体集積装置を示す回路図であり、図において、図1のものと同一符号は同一または相当部分を示すので説明を省略する。41は電源幹線12に接続されたパッド、42は電源幹線11と電源幹線12の接続部分がスイッチ14により遮断されたとき、回路ブロック5の電源電流を測定するLSIテストである。

【0029】次に動作について説明する。図9に示すよ

うに、LSIテスト42を接続できるパッド41を電源幹線12に設けた場合、回路ブロック5の動作試験をする際、スイッチ14により回路ブロック5の電源供給が遮断されている状態にあれば、直ちにLSIテスト42を用いて回路ブロック5の電源電流を測定することができ効果を奏する。

【0030】実施の形態7。上記実施の形態6では、電源幹線12にパッド41を設けたものについて示したが、回路ブロック4に接続された電源幹線22を遮断できる場合には、図10に示すように、電源幹線22及び電源幹線23の双方にパッド41を設けるようにしてもよく、上記実施の形態6と同様の効果を奏することができる。

【0031】

【発明の効果】以上のように、請求項1記載の発明によれば、遮断指令が出力されると第1の電源幹線と第2の電源幹線との接続部分を遮断するように構成したので、第2の電源幹線に接続された回路ブロックを使用しない場合には、デバイス電源から供給される当該回路ブロックの電源が遮断されるようになり、その結果、当該回路ブロックの未使用時にスタンバイ電流が流れるのを遮断でき、消費電力の低減化を図ることができる効果がある。また、電源遮断手段の回路構成が、複数のスイッチング素子を並列配置したものと等価となるように構成したので、電源遮断手段の開路時の抵抗分を低減でき、そのため、第1の電源幹線と第2の電源幹線の接続部分に電源遮断手段を挿入しても、第2の電源幹線に接続された回路ブロックの使用時において、電源遮断手段で消費される無駄な電力を無視できる程度にまで低減できる効果がある。

【0032】請求項2記載の発明によれば、制御手段から遮断指令が出力されると電源幹線を遮断するように構成したので、当該電源幹線に接続された回路ブロックを使用しない場合には、デバイス電源から供給される当該回路ブロックの電源が遮断されるようになり、その結果、当該回路ブロックの未使用時にスタンバイ電流が流れるのを遮断でき、消費電力の低減化を図ることができる効果がある。また、電源遮断手段の回路構成が、複数のスイッチング素子を並列配置したものと等価となるように構成したので、電源遮断手段の開路時の抵抗分を低減でき、そのため、電源幹線に電源遮断手段を挿入しても、その電源幹線に接続された回路ブロックの使用時において、電源遮断手段で消費される無駄な電力を無視できる程度にまで低減できる効果がある。

【0033】請求項3記載の発明によれば、一次側の電源幹線の端部と二次側の電源幹線の端部をドープされた基板上に配置するとともに、双方の端部を互いに電氣的に非接続の状態で歯合わせ、各端部の上部に遮断指令を入力する電極を配置するように構成したので、電源遮断手段の回路構成が、複数のスイッチング素子を並列配置

したものと等価となり、その結果、電源遮断手段の開路時の抵抗分を低減できる効果がある。

【0034】請求項4記載の発明によれば、電源遮断に係る回路ブロックと並列に抵抗及びコンデンサを設けるように構成したので、電源遮断手段を開路する際に、電源幹線の電位がグランド電位に落ちるまでの速度を適宜制御することができる効果がある。

【0035】請求項5記載の発明によれば、電源遮断に係る回路ブロックと接続された電源幹線にパッドを設けるように構成したので、電源遮断手段により回路ブロックの電源供給が遮断されている状態にあれば、直ちにLSIテストを用いて当該回路ブロックの電源電流を測定することができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体集積装置を示す回路図である。

【図2】 スイッチの構造を説明する平面図である。

【図3】 スイッチの構造を説明する図2のA-A断面図である。

【図4】 スイッチの回路構成を示す回路図である。

【図5】 この発明の実施の形態2による半導体集積装置

\* 置を示す回路図である。

【図6】 この発明の実施の形態3による半導体集積装置を示す回路図である。

【図7】 この発明の実施の形態4による半導体集積装置を示す回路図である。

【図8】 この発明の実施の形態5による半導体集積装置を示す回路図である。

【図9】 この発明の実施の形態6による半導体集積装置を示す回路図である。

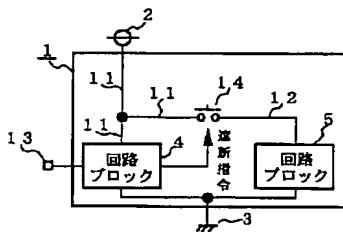
10 【図10】 この発明の実施の形態7による半導体集積装置を示す回路図である。

【図11】 従来の半導体集積装置を示す回路図である。

【符号の説明】

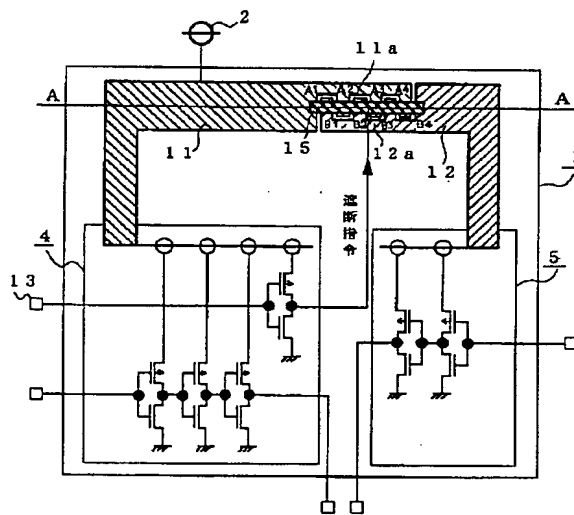
2 デバイス電源、4、5 回路ブロック、11 電源幹線（第1の電源幹線）、11a、12a 端部、12 電源幹線（第2の電源幹線）、14、25、26 スイッチ（電源遮断手段）、15 電極、21、22、23 電源幹線、24 セレクタ（制御手段）、31 抵抗、32 コンデンサ、41 パッド。

【図1】



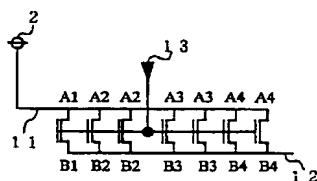
2: デバイス電源  
11: 電源幹線 (第1の電源幹線)  
12: 電源幹線 (第2の電源幹線)  
14: スイッチ (電源遮断手段)

【図2】

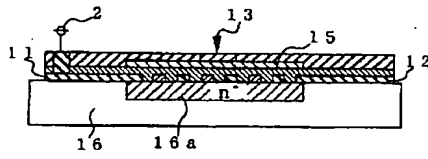


11a、12a: 端部  
15: 電極

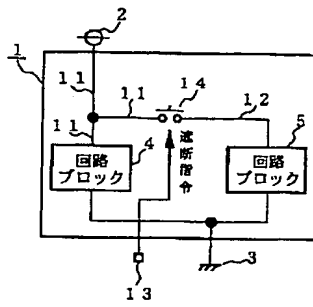
【図4】



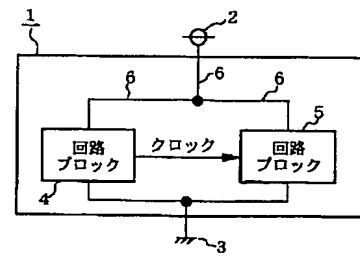
【図3】



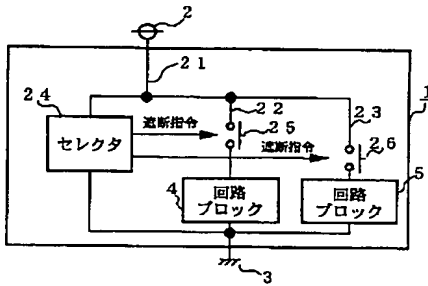
【図5】



【図11】

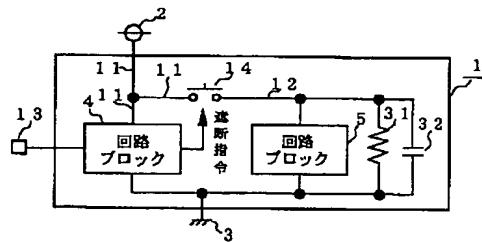


【図6】



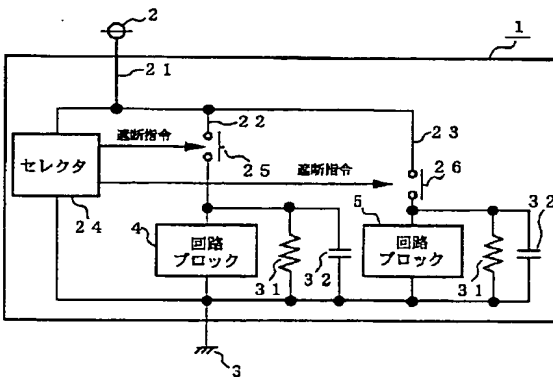
21, 22, 23: 電源幹線  
24: セレクタ (制御手段)  
25, 26: スイッチ (電源遮断手段)

【図7】

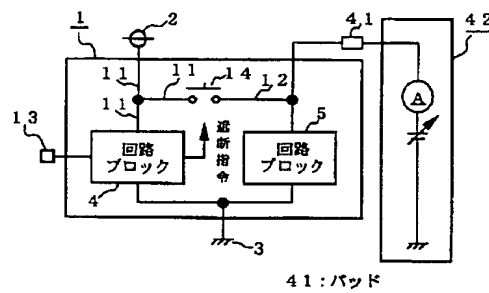


31: 抵抗  
32: コンデンサ

【図8】



【図9】



41: バッテリ



【図10】

